

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

JPA 1-232072

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01232072 A

(43) Date of publication of application: 18.09.89

(51) Int. Cl

B41J 3/20
B41J 3/21
H04N 1/23

(21) Application number: 63059649

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 14.03.88

(72) Inventor: CHIBA KAZUHIRO
BABA NORIKO

(54) **DRIVER FOR PARALLEL LOADS ARRANGED IN LINE FOAM**

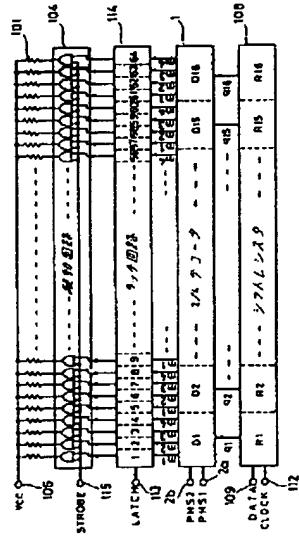
resistors can be sequentially driven independently of the number of the resistors driven.

(57) Abstract:

COPYRIGHT: (C)1989,JPO&Japio

PURPOSE: To transfer driving data speedily and enable loads to be sequentially driven independently of the number of the loads driven or the number of groups of the loads, by dividing parallel loads arranged in a line form into a plurality of blocks, and simultaneously driving predetermined loads in the blocks.

CONSTITUTION: When input terminals 2a, 2b of a 2/4 decoder are set to L, an m_1 output of each decoder D_1WD_{16} is brought to L whereas m_2Wm_4 outputs of each decoder are brought to H. When ON/OFF data is set to a shift register 108 in this condition by a clock synchronous with the data, corresponding heat generating resistors 101 are driven through a latch circuit 114 and a driving circuit 104. Next, the heat generating resistors 101 corresponding to m_2 are turned ON/OFF by setting the terminals 2a and 2b respectively to H and L, the resistors 101 corresponding to m_3 are turned ON/OFF by setting the terminals 2a and 2b respectively to L and H, and the resistors 101 corresponding to m_4 are turned ON/OFF by setting both of the terminals 2a and 2b to H, according to the data inputted to a shift register 108. Thus, driving data can be transferred speedily, and the



DRIVER FOR PARALLEL LOADS ARRANGED IN LINE FOAM

Patent Number: JP1232072
Publication date: 1989-09-18
Inventor(s): CHIBA KAZUHIRO; others: 01
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: JP1232072
Application Number: JP19880059649 19880314
Priority Number(s):
IPC Classification: B41J3/20; B41J3/21; H04N1/23
EC Classification:
Equivalents:

Abstract

PURPOSE: To transfer driving data speedily and enable loads to be sequentially driven independently of the number of the loads driven or the number of groups of the loads, by dividing parallel loads arranged in a line form into a plurality of blocks, and simultaneously driving predetermined loads in the blocks.

CONSTITUTION: When input terminals 2a, 2b of a 2/4 decoder are set to L, an m1 output of each decoder D1-D16 is brought to L whereas m2-m4 outputs of each decoder are brought to H. When ON/OFF data is set to a shift register 108 in this condition by a clock synchronous with the data, corresponding heat generating resistors 101 are driven through a latch circuit 114 and a driving circuit 104. Next, the heat generating resistors 101 corresponding to m2 are turned ON/OFF by setting the terminals 2a and 2b respectively to H and L, the resistors 101 corresponding to m3 are turned ON/OFF by setting the terminals 2a and 2b respectively to L and H, and the resistors 101 corresponding to m4 are turned ON/OFF by setting both of the terminals 2a and 2b to H, according to the data inputted to a shift register 108. Thus, driving data can be transferred speedily, and the resistors can be sequentially driven independently of the number of the resistors driven.

Data supplied from the esp@cenet database - I2

⑪ 公開特許公報 (A)

平1-232072

⑫Int. Cl.

B 41 J 3/20
3/21
H 04 N 1/23

識別記号

114
102

府内整理番号

B-8403-2C
L-7612-2C
Z-6940-5C

⑬公開 平成1年(1989)9月18日

⑭発明の名称 ライン状並列負荷の駆動装置

⑮特 願 昭63-59649

⑯出 願 昭63(1988)3月14日

⑰発明者 千葉 和弘 京都府長岡市馬場町1番地 三菱電機株式会社電子商品開発研究所内

⑰発明者 馬場 典子 京都府長岡市馬場町1番地 三菱電機株式会社電子商品開発研究所内

⑰出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰代理人 弁理士 早瀬 憲一

明細書

1. 発明の名称

ライン状並列負荷の駆動装置

2. 特許請求の範囲

(1) P 個の並列負荷を 1 グループとする n グループからなる総数 $S = n \times P$ の並列負荷を、外部信号に応じた所要の動作を行なうように駆動する装置において、

M 個の負荷を 1 ブロックとする Q ブロックからなる P 個の並列負荷のうち、各ブロック中の所定数 A 個の負荷を $n \cdot Q$ ブロックのすべてにつき上記外部信号に応じて同時に駆動する、上記所定数 A 個の同時駆動を (M/A) 回順行うことにより全負荷の駆動を行ないこれを 1 回繰返すか、または上記所定数 A 個の同時駆動を 1 回繰返しこれを負荷の全体に対し (M/A) 回だけ順次行なうことにより、上記所要の動作を行なわせるようにしたことを特徴とするライン状並列負荷の駆動装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、サーマルヘッドの発熱抵抗体のようなライン状に配列された並列負荷の駆動装置に関するものである。

(従来の技術)

第11図は例えば特公昭62-21469号公報に示された従来のサーマルヘッドの一例である。

第11図において、101は発熱抵抗体であり、第12図に示すように絶縁基板102上に一列に並設されている。103は半導体集積回路からなる電子回路部であり、第12図に示すように発熱抵抗体101に隣接して基板102上に配設されている。

電子回路部103は次のように構成されている。即ち、104は発熱抵抗体101を画像信号に応じて個別に駆動するための駆動回路である。駆動回路104はスイッチング素子を主体として構成されたもので、各一端は発熱抵抗体101の各一端に接続され、各他端は電源端子105に共通接続されている。そして、発熱抵抗体101の各他端が共通接続されたもう1つの電源端子106と

電源端子 105 との間に、外部電源が接続される。

108 は発熱抵抗体 101 の数と同一ビット数、例えば 512 ビットのシフトレジスタであり、複数 (n) のグループ 108a ~ 108n に分割され、グループ毎に画像信号入力端子 109a ~ 109n を有する。ここで、 n の値は、半導体集積回路の入出力ピン数や定格消費電力などに因わり、64 個の発熱抵抗体を 1 グループとした倍数値が選択されることが多い。画像信号入力端子 109a ~ 109n には、シフトレジスタ 108 の各グループ 108a ~ 108n にそれぞれ入力すべき画像信号がインバータ 110a ~ 110n, 111a ~ 111n を適宜介して入力され、シフトレジスタ 108 のグループ 108a ~ 108n はこうして入力された画像信号をクロック入力端子 112 から入力されるクロック信号に従い順次右方に転送して格納する。

このようにしてシフトレジスタ 108 に格納された 1 ライン分の画像信号は、格納が終了して直ちにラッチ信号入力端子 113 へのラッチ信号の

タイミングでラッチ回路 114 に移される。ラッチ回路 114 はこの場合出力部にゲート機能を持っており、そのゲート端子に出力許可信号入力端子 115 から出力許可信号が入力された期間だけラッチした内容を出力するように構成されている。そしてラッチ回路 114 から出力された画像信号が前記駆動回路 104 に供給されることにより、駆動回路 104 は画像信号に応じて内蔵のスイッチング素子が選択的にオン状態となる。これによって発熱抵抗体 101 が画像信号に応じて選択的に通電され、発熱する。発熱抵抗体 101 は、サーマルヘッドと圧接して相対的に移動する感熱記録紙の、発熱した抵抗体に対向する部位が所要の濃度に黒化するまで前記出力許可信号で定まる時間だけ通電され、出力許可信号の停止とともにその通電が停止される。このようにして 1 ライン分の記録が終了し、次の 1 ラインの記録準備状態となる。以下入力端子 109 に 1 ライン分の画像信号が入力される毎に同様な動作を行うことによって、二次元の画像記録が行われる。

従来のサーマルヘッドは、以上のように構成されており、高速に画像信号を入力転送でき、記録時間を短縮できた。しかし、全ての発熱抵抗体を同時に駆動すると大電力を必要とする欠点があり、省電力駆動も採用される。

第 13 図は、例えば 512 個の発熱抵抗体を備えたサーマルヘッドを用いて $n = 8$ の入力端子構成での、省電力化駆動の一例である。同図(a)は 512 個の発熱抵抗体を 64 個を 1 グループとした G1 ~ G8 の $n = 8$ でのグループ分割例を示す図であり、同図(b)は図示のように 2 グループづつ順次に発熱駆動する例を示している。このような駆動により、駆動に要する電力を $\frac{1}{4}$ に低減できる。ただし、1 ラインの記録時間は同時に駆動の 4 倍になる。

今までの説明においては、2 値記録を念頭に述べたが、テレビジョン画像などの場合には 64 階調以上の多値記録を必要とする。この多値記録は、一般にパルス幅を変えて発熱時間を制御するパルス幅制御駆動法で実現できる。この駆動法では、

階調数以上の 128 回程度のテレビジョン画像に応じた駆動データの入れ換えを行う必要がある。

つまり、多階調画像の 1 ラインの記録時間 T は、最短で、

$$T = (P \times t) \times L \times \frac{n}{B} \quad \dots (1)$$

但し、
 P : 1 グループの発熱抵抗体数
 t : 駆動データの転送速度
 L : 駆動データの入れ換え回数
 B : 同時駆動のグループ数

と表現できる。 $P = 64$, $t = 250 \text{ n s}$, $L = 128$, $n = 8$, $B = 2$ の条件では $T = 8.192 \text{ m s}$ となり、約 480 ラインで 1 画面となる N T S C 画像のモノクロ記録時間は、約 4 秒となる。ここで、128 の階調数を実現する場合の L は 256 程度を必要とするので約 8 秒が記録時間となる。また、1 ラインの画素数は $n = 10$ (640 画素) と $n = 12$ (768 画素) も存在し、 $B = 2$ で記録時間がさらに長くなる。しかも、カラー画像では、イエローとマゼンタとシアンの 3 インクを面

順次に印刷記録するため、さらに3倍の印刷記録時間を必要とする。

(発明が解決しようとする課題)

従来のライン状並列負荷の駆動装置は以上のように構成されているので、

①1グループの駆動データの転送時間が長い

②並列負荷の総数によって省電力のために実施する記録条件が異なり動作が一定しないなどの問題点があった。

これらは、例えばサーマルヘッドを使用した印刷記録機器において、

①印刷記録時間が長い

②十分な階調数が得られない

③印刷速度が不安定

などの性能劣化に関係しており、これらの面での改善を必要とした。

この発明は上記のような従来のものの問題点を解消するためになされたもので、転送時間の短縮とグループ数に関与しない順次駆動による駆動を両立させることができるライン状並列負荷の駆動

装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係るライン状並列負荷の駆動装置は、1グループP個の並列負荷を、M個を1つの集合ブロックとするQブロックに分割して $P = M \times Q$ とし、Q個の負荷のオン／オフ駆動をM回だけ順次駆動する構成としたものである。従って、nグループの場合、その並列負荷の総数をSとすると、 $S = n \times P = M \times (n \times Q)$ となり、n×Q個の負荷を同時駆動し、M回の順次駆動によって負荷の駆動を行うようにしたものである。

(作用)

この発明における $P = M \times Q$ の分割は、従来の $M = 1$ (固定) に対して、 $M \geq 2$ の整数であることが条件である。従って、 $P = 64$ を仮定すれば $Q \leq 32$ となり、このQに負荷のON/OFF駆動データを対応させれば、転送データ数が $1/M$ となるので、データ転送時間は $1/M$ となる。また、駆動電力は $1/M$ となる。

(実施例)

以下、この発明の一実施例を図について説明する。第1図は本発明の一実施例によるライン状並列負荷の駆動装置を示し、ここでは $P = 64$ 、 $M = 4$ 、 $Q = 16$ を仮定している。図中、108は16ビットのシフトレジスタ、1は16個の2/4デコーダ、114は64個のラッチ回路、104は64個のOR回路からなる駆動回路、101は並列負荷の64個の発熱抵抗体である。ここで、シフトレジスタ108には並列負荷のON/OFFデータ（以下、DATAと称す）とクロック信号（以下、CLOCKと称す）を、2/4デコーダ1には順次駆動信号（以下、PHS1、PHS2と称す）を、ラッチ回路114にはラッチのタイミング信号（以下、LATCHと称す）を、駆動回路104には全体の発熱制御信号（以下、STROBEと称す）を、発熱抵抗体101の共通接続線106には電圧Vccをそれぞれ入力する。ただし、グランド及び回路への電源は簡略化のため図示していない。本発明で新規に付加したもののは、2/4デコーダ1およびこれの順次駆動信号

の入力端子2aと2bである。STROBE端子は従来のものでも備わっている。

次にこの動作について説明する。まず、2/4デコーダ1の入力端子2aと2bのPHS1とPHS2に“L”を設定する。このとき、m1出力が“L”でm2とm3とm4の各出力が“H”になる。この状態でシフトレジスタ108には、DATAとこれに同期したCLOCKで、16ビットのON/OFFデータを設定する。この出力信号q1～q16は2/4デコーダ1の各デコーダD1～D16の出力イネーブル端子に供給される。ここで例えばq1が“H”であればデコーダD1のm1出力は“H”となり、q1が“L”であればm1出力は“L”的ままである。q2～q16も同様に動作し、瞬時に再設定される。この出力信号は、ラッチ回路114のそれぞれのデータ端子に入力され、端子113のLATCH信号で同時にサンプリングされて、それぞれの状態が保持される。この保持データはSTROBE = “L”的駆動回路104に入力され、STROBE = “L”

のとき各ゲートの出力端子に接続されている発熱抵抗体が通電発熱し、"H"のとき非導通で発熱しない。以上の動作によって、16個(m1対応)の発熱抵抗体のON/OFF駆動が終わる。続いて、PHS1="H"とPHS2="L"にして同様の動作によってm2対応の16個の発熱抵抗体のON/OFF駆動を終わる。同様に、PHS1="L"とPHS2="H"でm3対応の発熱駆動を、PHS1="H"とPHS2="H"でm4対応の発熱駆動が終わる。これで、全ての発熱駆動が完了する。

ところで、NTSC方式のテレビジョン画像を印刷記録する機器の場合、その画素構成は480(V)×640(H)が標準的である。従って、少なくとも512個の発熱抵抗体を備える必要がある。第2図はこの一実施例である。図において、回路1～回路8は第1図に示した実施例と同一のものであり、それぞれに64個の発熱抵抗体が図示のように接続されている。このとき、STROBEとLATCH、PHS2、PHS1、CLOCK

CKは共通接続されるが、ON/OFFデータはDATA1～DATA8によって独立にそれぞれの回路に16ビットだけ入力される構成となっている。このように、発熱抵抗体数が変化しても同時駆動の素子数とDATA線数が変わらなければデータ転送時間と順次駆動数は変化しない。

第2図での1ラインの印刷記録時間Tは、最短で、

$$T = (Q \cdot t) \times M \times L \quad \dots (2)$$

となる。Q=16, t=250ns, M=4の条件で、L=128(64階調相当)の場合T=2.048msとなり、L=256(128階調相当)の場合T=4.096msとなる。つまり、印刷インクの熱応答特性が改良されると仮定すれば、従来比で4倍の高速化が達成できる。一般化した改善比Eは、T1を(1)式、T2を(2)式として、

$$E = \frac{T_1}{T_2} = \frac{n}{B}$$

となる。回路規模は双方に共通な駆動回路とラッチ回路を除いて比較すれば従来例(第1図)で

272ゲートを要するのに対し本発明では212ゲート(市販のゲートアレイの数値を引用して算出)となり、ハード量も小さい。

第3図は、本発明の他の実施例であり、第1図の実施例での2/4デコーダ1とラッチ回路11～4を統合したアドレッサブル・ラッチ回路12と8ビット並列にDATAを入力する端子構成と16ビットのDFP回路11を採用したものである。なお、16ビットのDATAはCLK1の立上りと立下りの両エッジを使用して各8ビットづつ入力すればよい。

第4図は第3図の一実施例を回路21～回路28に使用して8グループに拡張した実施例であり、STROBEとLATCHとPHS2とPHS1およびDATAは共通接続され、CLK1～CLK8の8CLOCKでそれぞれの回路にDATAが入力される構成となっている。

第5図は入力線を削減する構成とM=8の順次駆動を採用したときの一実施例であり、3/8デコーダ21と8ビットのシフトレジスタ22と分

配器23を使用する。分配器23にはSTARTとCLOCKとDATA線が接続される。第7図のように、デコーダ信号(PHS1, PHS2, PHS3)と8ビットのDATA(DATA1～DATA8)とLATCHを多重化してCLOCKで入力し、それを分離してDATA, PHS1～PHS3, LATCHをそれぞれに対応する回路に送出すれば第1図と同様な動作が可能になる。このときSTARTはイニシャライズなどのために使用すればよい。

第6図は第5図の実施例を採用して8グループに拡張する構成を示したもので、STROBEとSTARTとCLOCKが共通でDATA1～DATA8を個別に入力すればよい。

第8図は本発明のさらに他の実施例であり、P=64, M=4, Q=16の場合を仮定している。このとき、31, 32, 33, 34はSTROBE信号であり、他はこれまでの実施例と同様の構成である。ここで、STROBE信号31のみが"1"でSTROBE信号32, STROBE信

号33. STROBE信号34が“H”なら、左端の抵抗体から4本毎に16個の抵抗体が駆動状態となる。次に、STROBE信号32のみが“L”となったときには左端から2番目の抵抗体から4本毎に、STROBE信号33のみが“L”的ときは左端から3番目の抵抗体から4本毎に、STROBE信号34のみが“L”的ときは左端から4番目の抵抗体から右端まで4本毎に16個の抵抗体が駆動状態となる。このようにして、第1図の2/4デコーダの代わりにSTROBE線を複数設けることによっても同様の機能は実現可能である。この場合、入力端子数はふえるが、デコーダが不必要となったことで、回路規模はさらに縮小できる。

第9図は第8図の実施例を採用して8グループに拡張し、512個の抵抗体での構成を示したもので、第8図と同様の回路11～18にDATA1～8のみ個別に入力すれば、他のコントロール線は共有できる。ここではn=4の場合を述べたが、どんな値でもMの数だけストローブ線を設け

れば、同様の構成で実現できる。

第10図はこの発明のさらに他の実施例である。図中、41は駆動抵抗体を指示するデータ（以後P1, P2と称す）の入力端子、42は2/4デコーダである。入力端子41より入力されたP1, P2は2/4デコーダ42により、“00”的ときはk1のみ“L”でk2, k3, k4は“H”に、“01”的ときはk2のみ“L”でk1, k3, k4は“H”に、“10”的ときはk3のみ“L”となる。この信号が第8図のSTROBE信号31～34と同様の働きをし、第8図と同様の動作が実現できるとともに、入力端子数を減らすことができる。駆動抵抗体を指示する信号41はM=4で2ビットだが、M=8で3ビット、M=16で4ビットなどMが多くなってもそれほど数が増えないので、Mの値が多いほど有効である。

このように、本実施例によれば駆動データの転送速度を向上させることができて、しかも1ラインの画素数に関与しない一定の省電力化順次駆動

を可能にするので、プリンタ装置に適用して記録時間の短縮、128階調以上の階調特性、一定な印刷濃度特性などの諸性能の改善を経済的に実現できるという効果がある。

なお、上記実施例ではM=4とM=8について説明したが、他の、例えばM=2やM=16などでも同様に実現できる。またPも64に限るものでなく他の数値でもよい。

また、上記実施例では全負荷の駆動を行なったのちこれを繰返して所望の動作を行なうものについてのみ説明したが、各ブロック中の所定個の負荷を同時駆動しこれの繰返しで対応する並列負荷の所望の動作を終えたのち同様の動作を他の負荷に対して順次実施することにより全負荷の駆動を行なうようにしてもよく、上記実施例と同様の効果を奏する。

さらに、ハード構成も実施例に限らず、本発明の主旨を具現化する構成であれば適用の範囲内である。

最後に、本発明の実施例はサーマルヘッドを例

にとって説明したが、並列負荷の発熱抵抗体を除去して別途に用意した面状抵抗体に圧接通電して記録を行う装置で使用する通電ヘッドあるいは光学的に記録を行う装置で使用するLEDアレイヘッドなどにも適用可能である。なお本出願でいうライン状並列負荷とは、物理的にライン状という意味のみならず、むしろ同時に駆動する必要のある多数の負荷を想定しており、負荷の種類あるいは動作条件（電圧、電流、放電など）に関係せずに適用可能である。

【発明の効果】

以上のように、本発明に係るライン状並列負荷の駆動装置によれば、並列負荷を複数のブロックに分割し、各ブロックの中の所定の負荷を同時に駆動するようにしたので、駆動データの転送が短時間で済み、しかも順次駆動数をグループ数に依存せずに駆動できるという効果がある。

4. 図面の簡単な説明

第1図、第3図、第5図、第8図、第10図は本発明の基本回路構成の実施例を示す図、第2図、

第4図、第6図、第9図はそれぞれの基本回路構成を並設して負荷数を拡張した実施例を示す図、第7図は多重化DATAの一実施例を示すタイミング図、第11図は従来のサーマルヘッドの実施例を示す図、第12図はサーマルヘッドの部品配置図、第13図はサーマルヘッドの省電力化駆動例を示す図である。

図中、1は2/4デコーダ、2a、2b、3は信号入力端子、11は16ビットDFF回路、12はアドレッサブル・ラッチ回路、21は3/8デコーダ、22は8ビットのシフトレジスタ、23は多重化DATAの分配器、101は発熱抵抗体、104は駆動回路、105、106は電源端子、108はシフトレジスタ、114はラッチ回路、119は画像信号に応じた駆動データの入力端子、112はシフトクロック信号の入力端子、113はラッチ信号の入力端子、115は出力許可信号入力端子である。

なお図中同一符号は同一又は相当部分を示す。

図2

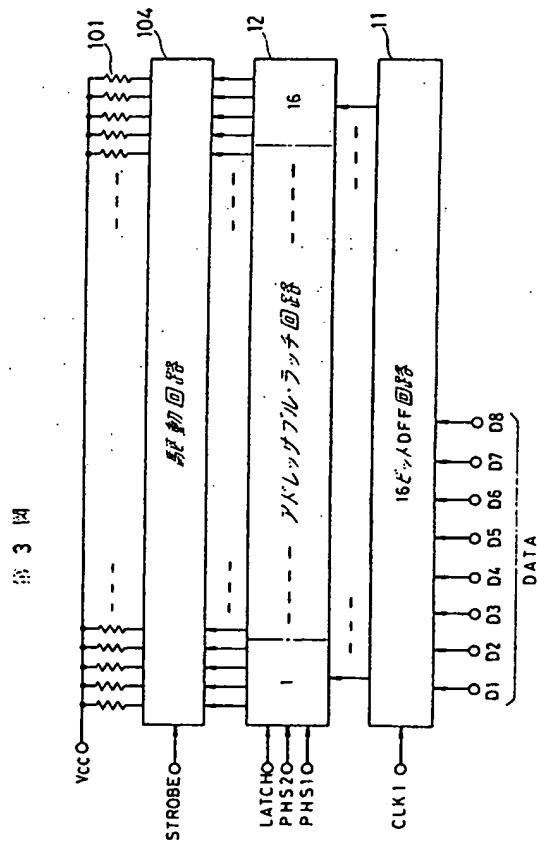
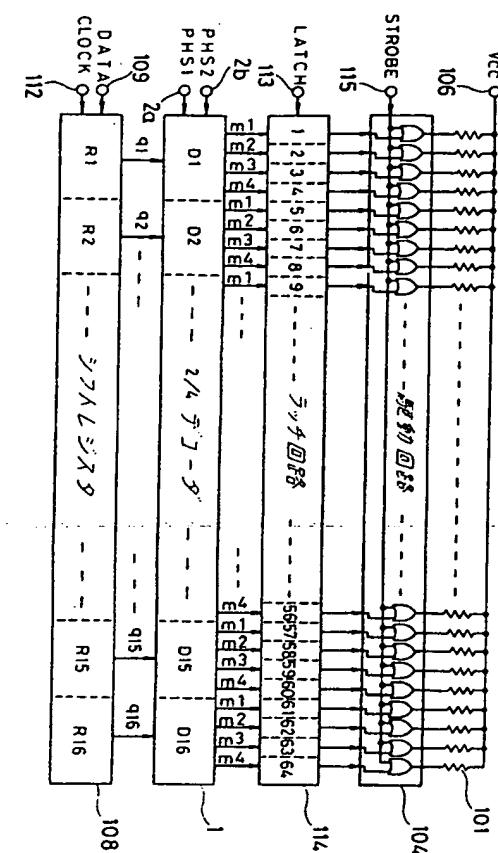
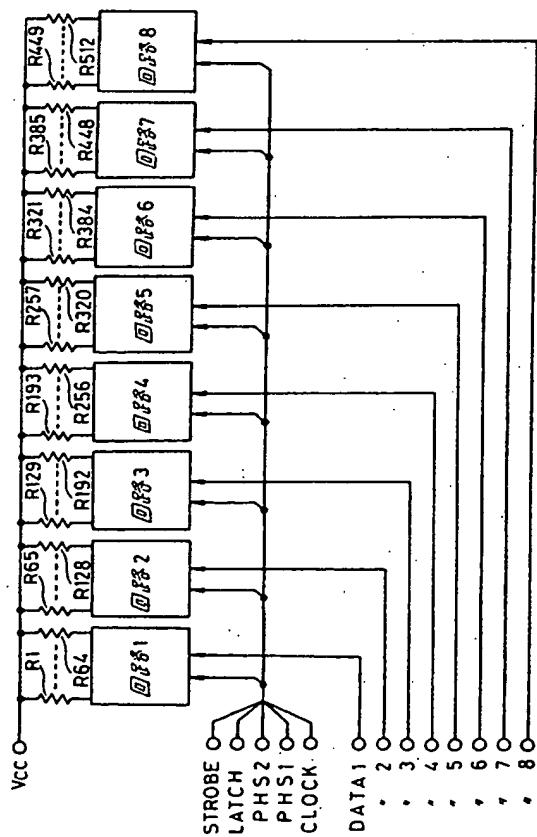
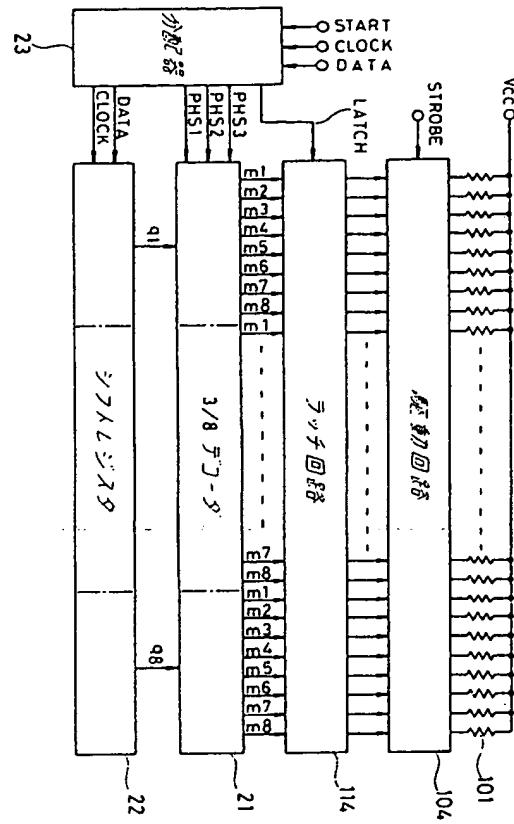
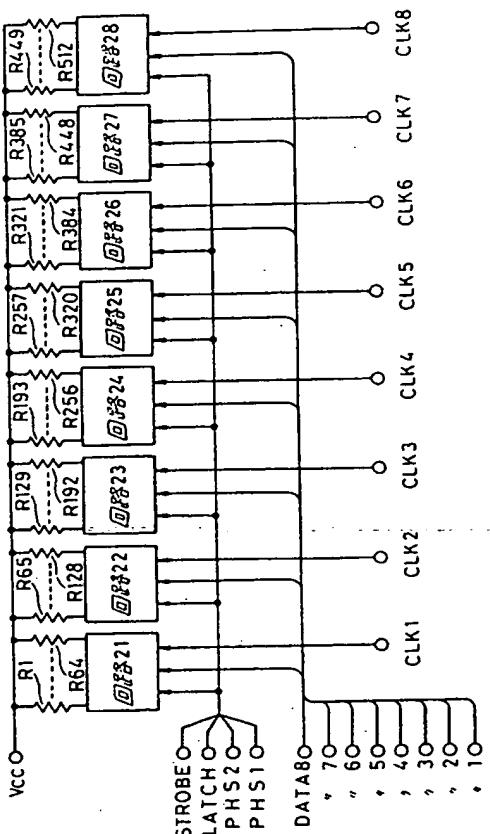
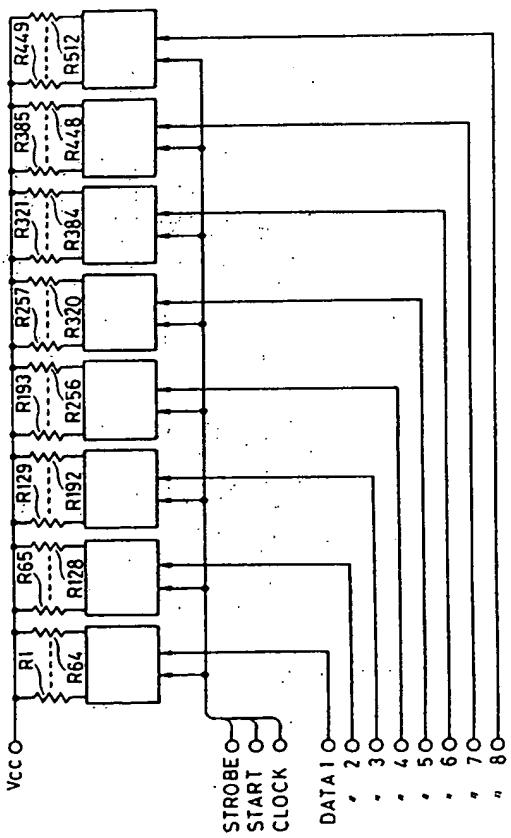
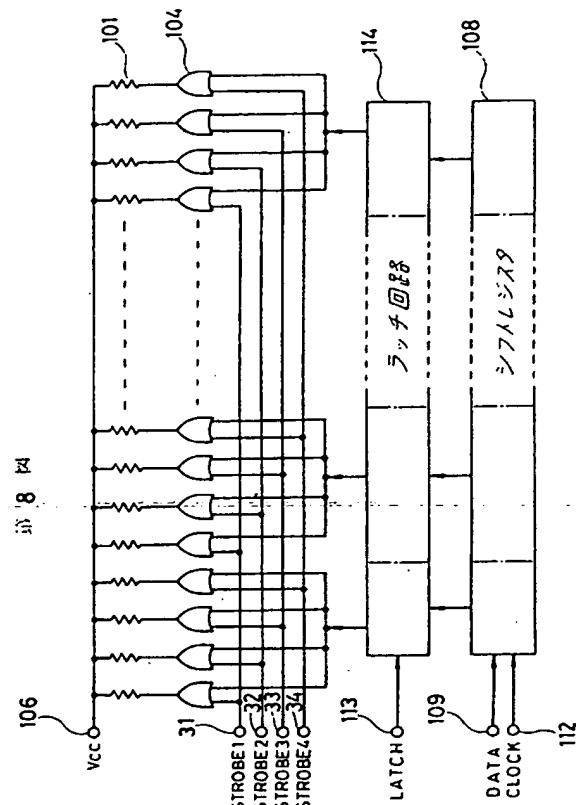


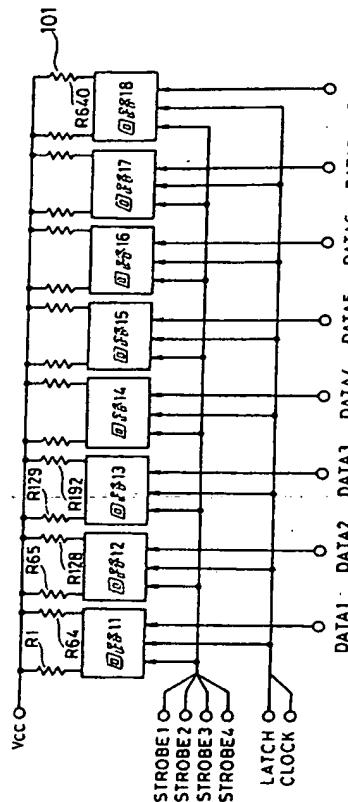
図3



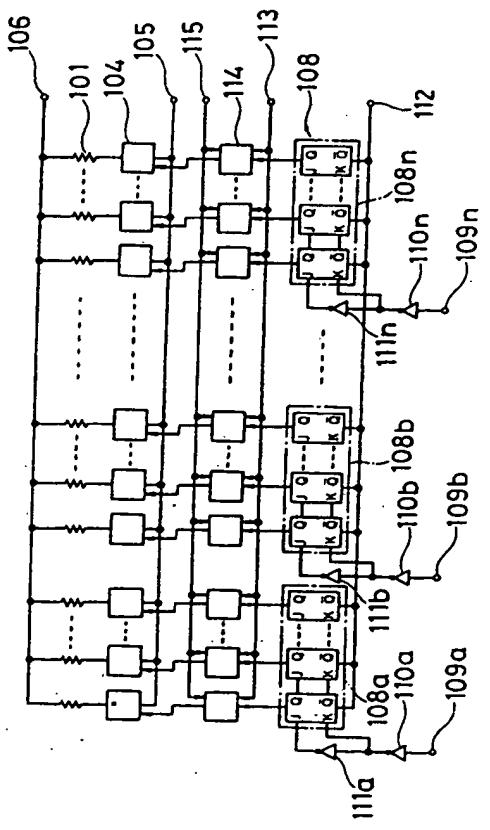


This diagram illustrates a logic circuit consisting of several integrated circuit (IC) packages. On the left, a 4116 IC (4-to-16 decoder) is shown with its inputs labeled 41a and 41b. The outputs of the 4116 are connected to the inputs of a 4114 IC (4-to-2 multiplexer). The 4114 has four data inputs labeled P1, P2, P3, and P4, and two select inputs labeled k1 and k2. The outputs of the 4114 are connected to the inputs of a 4111 IC (4-to-4 decoder). The 4111 has four data inputs labeled 42, 43, 44, and 45, and four enable inputs labeled k3, k4, k5, and k6. The outputs of the 4111 are labeled 104, 105, 106, and 107. The 4116 also has a Vcc input and a ground connection. On the right, two additional IC packages are shown: a 4113 (latch) and a 4112 (shift register). The 4113 has a LATCH input and an output labeled 109. The 4112 has a DATA input and a CLOCK input, with its output labeled 112.

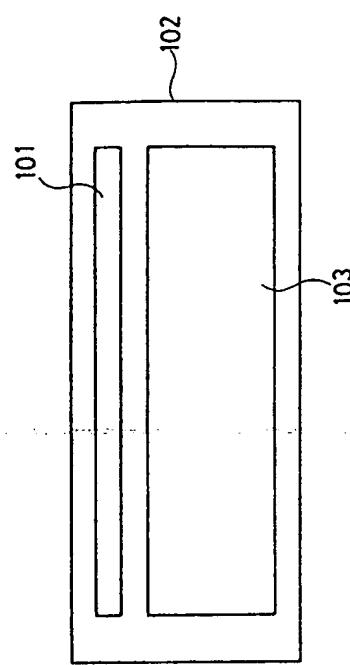
四



111



第12図



第13図

	G1	G2	G3	G4	G5	G6	G7	G8
ON								
OFF								

(a)	ON	OFF	ON	OFF	ON	OFF	ON	OFF
(b)								